

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-141794

(43)Date of publication of application : 17.05.2002

(51)Int.Cl. H03K 19/0175  
 H01L 27/04  
 H01L 21/822  
 H04L 25/02

(21)Application number : 2000-333201

(71)Applicant : TOSHIBA INFORMATION SYSTEMS  
 (JAPAN) CORP  
 TOSHIBA CORP

(22)Date of filing : 31.10.2000

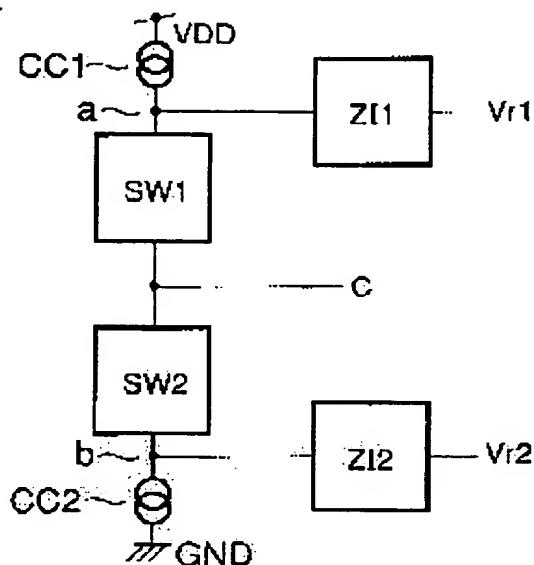
(72)Inventor : WADA SATOSHI

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor integrated circuit that matches its impedance with that of a transmission medium connected to its own output terminal so as to reduce the reflection noise or the like in a transmission signal thereby obtaining a transmission signal waveform with high quality and less distortion.

**SOLUTION:** The semiconductor integrated circuit is provided with a 1st switch circuit SW1 that is connected between a 1st constant current source CC1 supplying a constant current and the output terminal and is switched in response to a signal from an internal circuit, a 2nd switch circuit SW2 that is connected between the output terminal and a 2nd constant current source CC2 that sucks a constant current and is switched in complement with the 1st switch circuit, a 1st resistor circuit ZI1 that is connected between a 1st bias supply circuit Vr1 and one terminal of the 1st switch circuit, and a 2nd resistor circuit ZI2 that is connected between a 2nd bias supply circuit Vr2 and one terminal of the 2nd switch circuit.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号  
特開2002-141794  
(P2002-141794A)

(43)公開日 平成14年 5月17日 (2002.5.17)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テマコード <sup>*</sup> (参考)
H 0 3 K 19/0175		H 0 4 L 25/02	F 5 F 0 3 8
H 0 1 L 27/04		H 0 3 K 19/00	1 0 1 Q 5 J 0 5 6
21/822		H 0 1 L 27/04	F 5 K 0 2 9
H 0 4 L 25/02		H 0 3 K 19/00	1 0 1 F

審査請求 未請求 請求項の数7 O L (全 7 頁)

(21)出願番号 特願2000-333201(P2000-333201)

(22)出願日 平成12年10月31日(2000.10.31)

(71)出願人 391016358  
東芝情報システム株式会社  
神奈川県川崎市川崎区日進町7番地1  
(71)出願人 000003078  
株式会社東芝  
東京都港区芝浦一丁目1番1号  
(72)発明者 和田 智  
神奈川県川崎市川崎区日進町7番地1 東  
芝情報システム株式会社内  
(74)代理人 100058479  
弁理士 鈴江 武彦 (外6名)

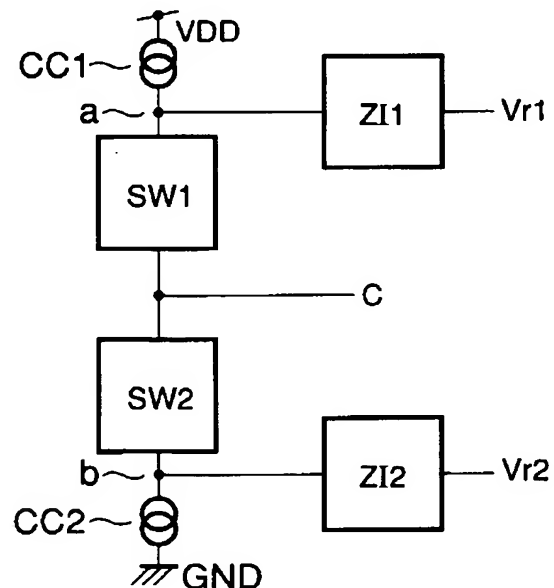
最終頁に続く

(54)【発明の名称】 半導体集積回路

(57)【要約】

【課題】集積回路の出力端子に接続される伝送媒体とのインピーダンス整合を可能とし、伝送信号における反射等のノイズを低減させ、より質の高い歪みの少ない伝送信号波形を得る。

【解決手段】一定の電流を供給する第1の定電流源CC1と出力端子との間に接続され、内部回路からの信号に応じてスイッチングされる第1のスイッチ回路SW1と、出力端子と一定の電流を吸い込む第2の定電流源CC2との間に接続され、第1のスイッチ回路とは相補的にスイッチングされる第2のスイッチ回路SW2と、第1のバイアス供給回路Vr1と第1のスイッチ回路の一端との間に接続された第1の抵抗回路Zi1と、第2のバイアス供給回路Vr2と第2のスイッチ回路の一端との間に接続された第2の抵抗回路Zi2とを具備する。



## 【特許請求の範囲】

【請求項 1】 一定の電流を供給する第 1 の定電流源と、

前記第 1 の定電流源に一端が接続され、他端が集積回路出力端子に接続され、内部回路からの信号に応じてスイッチングされる第 1 のスイッチ回路と、

一定の電流を供給する第 2 の定電流源と、

前記第 2 の定電流源に一端が接続され、他端が集積回路出力端子に接続され、内部回路からの信号に応じて前記第 1 のスイッチ回路とは相補的にスイッチングされる第 2 のスイッチ回路と、

所望の出力特性を有する第 1 のバイアス供給回路と、

前記第 1 のバイアス供給回路の出力端と前記第 1 のスイッチ回路の一端との間に接続された第 1 の抵抗回路と、

所望の出力特性を有する第 2 のバイアス供給回路と、

前記第 2 のバイアス供給回路の出力端と前記第 2 のスイッチ回路の一端との間に接続された第 2 の抵抗回路とを具備することを特徴とする半導体集積回路。

【請求項 2】 前記第 1 のスイッチ回路および第 2 のスイッチ回路は、それぞれ MOS 型 FET で構成されたことを特徴とする請求項 1 記載の半導体集積回路。

【請求項 3】 前記第 1 の定電流源および第 2 の定電流源は、それぞれ MOS 型 FET で構成されたことを特徴とする請求項 1 または 2 記載の半導体集積回路。

【請求項 4】 前記第 1 の抵抗回路および第 2 の抵抗回路は、それぞれ MOS 型 FET で構成されたことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の半導体集積回路。

【請求項 5】 前記第 1 の抵抗回路を構成する MOS 型 FET および第 2 の抵抗回路を構成する MOS 型 FET は、それぞれのゲートバイアス電圧が固定化された電圧源から供給されることを特徴とする請求項 4 記載の半導体集積回路。

【請求項 6】 前記第 1 の抵抗回路を構成する MOS 型 FET および第 2 の抵抗回路を構成する MOS 型 FET は、それぞれのゲートバイアス電圧が可変制御されることを特徴とする請求項 4 記載の半導体集積回路。

【請求項 7】 前記第 1 のバイアス供給回路は、前記第 1 の抵抗回路の両端の電圧を同じ値に制御し、前記第 2 のバイアス供給回路は、前記第 2 の抵抗回路の両端の電圧を同じ値に制御することを特徴とする請求項 1 記載の半導体集積回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体集積回路に係り、特に出力回路の出力特性や出力インピーダンス特性を所望の特性に最適化するための回路に関するもので、半導体集積回路の低ノイズ対策出力回路を実現するために使用されるものである。

## 【0002】

【従来の技術】図 7 は、半導体集積回路における従来の出力回路の一例を示す。

【0003】この出力回路は、電源(VDD) ノードと出力ノードとの間に接続されたプルアップ側のスイッチ素子(PMOS トランジスタ) M1 と、出力ノードと接地(GND) ノードとの間に接続されたプルダウン側のスイッチ素子(NMOS トランジスタ) M2 とからなり、この 2 個のスイッチ素子 M1, M2 が内部回路からのデータ信号に応じた相補的にスイッチング制御される。上記出力ノードは集積回路の出力端子に接続され、この出力端子には、通常は伝送媒体(ケーブル等)が接続される。

【0004】図 7 の出力回路は、出力インピーダンス特性が任意に設定されてはならず、一般には出力トランジスタ M1, M2 のオン抵抗特性が出力インピーダンス特性として与えられると考えられる。

【0005】そのため、出力回路の出力特性や出力インピーダンス特性を所望通り得ることと出力インピーダンスを所望値に設定することは非常に困難を極め、所望する他の特性値によっては出力インピーダンスの最適化との両立は不可能であった。

【0006】つまり、出力インピーダンスの最適化を目的にしていない図 7 の出力回路は、出力インピーダンスの特性は他の諸特性(電圧や電流)に比べると、その重要性からあまり主眼に置かれることがなかったか、若しくは全く考慮されていなかったものと思われる。

【0007】このような状況では、図 7 の出力回路により信号を伝送する際、出力回路と伝送媒体(伝送ケーブル等)との接合点においてインピーダンス整合の最適化が図られておらず、高効率な信号電力の伝達ができず、信号伝送時におけるインピーダンスの不整合により反射波が発生する等の問題がある。

【0008】これらの問題については、従来はあまり注目されていなかったが、近年の技術進歩による高集積化により消費電力が増加したり、高速な処理演算が可能になったことによるデータ量の増大に合わせてより高速なデータ転送速度の要求が出始めている昨今では、注目を集めてきている。

【0009】図 8 は、前述した問題を解決すべく提案された出力回路の一例を示す。

【0010】この出力回路は、一定の電流を供給することが可能な第 1 の定電流源 CCa と、この第 1 の定電流源 CCa に一端が接続され、他端が出力端子に接続され、内部回路からの信号に応じてスイッチングされる第 1 のスイッチ素子 M3 と、一定の電流を吸い込むことが可能な第 2 の定電流源 CCb と、この第 2 の定電流源 CCb に一端が接続され、他端が出力端子に接続され、内部回路からの信号に応じて第 1 のスイッチ素子 M3 とは相補的にスイッチングされる第 2 のスイッチ素子 M4 とを具備し、出力端子と参照電源 V<sub>tt</sub> との間に内部終端抵抗 R<sub>t</sub> が接続されている。

【0011】この出力回路によれば、内部終端抵抗 $R_t$ により所望の出力電圧特性や電流特性を得ることができ、所望の出力インピーダンス特性を実現させ、出力回路の接合点における伝送媒体（ケーブル等）とインピーダンスの整合を与えることが可能になる。これにより、信号電力の高効率な伝送および不要な反射波の抑制を図り、高品質の信号伝送が可能になる。

【0012】しかし、この出力回路は、出力端子と参照電源 $V_{tt}$ との間は、常に内部終端抵抗 $R_t$ による電流パスが存在するので、出力回路の出力レベルに依らず、上記電流パスを介してリーク電流が発生することになる。このリーク電流は、本来の信号の伝送には不要であり、全体的な消費電力の増大をまねく。

【0013】

【発明が解決しようとする課題】上記したように従来の半導体集積回路の出力回路は、内部終端抵抗 $R_t$ により所望の出力インピーダンス特性を実現させることが可能であるが、出力端子と参照電源 $V_{tt}$ との間に存在する内部終端抵抗 $R_t$ による電流パスを介してリーク電流が常に発生し、全体的な消費電力の増大をまねくという問題があった。

【0014】本発明は上記の問題点を解決するためになされたもので、出力端子に接続される伝送媒体とのインピーダンス整合が可能になり、伝送信号における反射等のノイズを低減させることができ、より質の高い歪みの少ない伝送信号波形を得ることが可能となる半導体集積回路を提供することを目的とする。

【0015】

【課題を解決するための手段】本発明の半導体集積回路は、一定の電流を供給する第1の定電流源と、前記第1の定電流源に一端が接続され、他端が集積回路出力端子に接続され、内部回路からの信号に応じてスイッチングされる第1のスイッチ回路と、一定の電流を供給する第2の定電流源と、前記第2の定電流源に一端が接続され、他端が集積回路出力端子に接続され、内部回路からの信号に応じて前記第1のスイッチ回路とは相補的にスイッチングされる第2のスイッチ回路と、所望の出力特性を有する第1のバイアス供給回路と、前記第1のバイアス供給回路の出力端と前記第1のスイッチ回路の一端との間に接続された第1の抵抗回路と、所望の出力特性を有する第2のバイアス供給回路と、前記第2のバイアス供給回路の出力端と前記第2のスイッチ回路の一端との間に接続された第2の抵抗回路とを具備することを特徴とする。

【0016】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0017】＜第1の実施形態＞図1は、本発明の半導体集積回路の第1の実施の形態に係る出力回路を示している。

【0018】図1に示す出力回路は、出力信号のレベルを決めるための定電流源部と、スイッチ回路部と、スイッチ回路部の出力特性や出力インピーダンス特性を最適化するための制御回路部で構成される。

【0019】定電流源部は、一定の電流を供給することが可能な第1の定電流源 $CC1$ と、一定の電流を吸い込むことが可能な第2の定電流源 $CC2$ を有する。

【0020】スイッチ回路部は、一端 $a$ が第1の定電流源 $CC1$ に接続され、他端が出力ノード $c$ に接続され、内部回路からのデータ信号に応じてスイッチングされる第1のスイッチ回路 $SW1$ と、一端 $b$ が第2の定電流源 $CC2$ に接続され、他端が出力ノード $c$ に接続され、内部回路からのデータ信号に応じて第1のスイッチ回路とは相補的にスイッチングされる第2のスイッチ回路 $SW2$ を有する。

【0021】制御回路部は、所望の特性を有する参照用基準電源 $V_{r1}$ （第1のバイアス供給回路）と、この参照用基準電源 $V_{r1}$ の出力端と第1のスイッチ回路 $SW1$ の一端 $a$ との間に接続された第1の抵抗回路 $ZI1$ と、所望の特性を有する参照用基準電源 $V_{r2}$ （第2のバイアス供給回路）と、この参照用基準電源 $V_{r2}$ の出力端と第2のスイッチ回路 $SW2$ の一端 $b$ との間に接続された第2の抵抗回路 $ZI2$ を有する。

【0022】なお、前記出力ノード $c$ は集積回路の出力端子に接続され、この出力端子には、通常は伝送媒体（ケーブル等）が接続される。

【0023】ここで、各回路部の役割について説明する。

【0024】定電流源部（ $CC1$ 、 $CC2$ ）およびスイッチ回路部（ $SW1$ 、 $SW2$ ）に使用されている各デバイス素子の特性によって、出力回路全体の所望する電圧特性や電流特性が決定される。この時、定電流源部（ $CC1$ 、 $CC2$ ）とスイッチ回路部（ $SW1$ 、 $SW2$ ）の特性比を決定する必要があるが、所望する出力特性および出力回路の構成により最適とされる比率は異なるので、数値としては一つに断定できない。

【0025】但し、このような回路構成においては、一般的にスイッチ回路部（ $SW1$ 、 $SW2$ ）における素子特性が出力特性に現われてくることはあまりなく、スイッチ回路部（ $SW1$ 、 $SW2$ ）に関しては、主にスイッチの切り替え速度にあたるAC的な部分で問題のないレベルに考慮できればよいと考える。

【0026】当然、スイッチ回路部（ $SW1$ 、 $SW2$ ）において、出力回路全体に占めるかなりの特性を受けたとしても、後述の各回路部の動作に支障なく動作可能なものであれば、本提案の効果については有効であることを記しておく。

【0027】抵抗回路 $ZI1$ 、 $ZI2$ は、各一端側がスイッチ回路 $SW1$ 、 $SW2$ の一端ノード $a$ 、 $b$ に接続され、各他端側が参照用基準電源 $V_{r1}$ 、 $V_{r2}$ に接続されているの

で、出力ノード c からみた出力インピーダンス特性は、次のように決まる。

【0028】 先ず、スイッチ回路SW1 がオン状態、スイッチ回路SW2 がオフ状態の時には、出力インピーダンス特性は、定電流源CC1、スイッチ回路SW1 および抵抗回路ZI1 の合成抵抗と考えることができる。

【0029】 その時、定電流源CC1 の抵抗特性について考えてみると、もし理想的な定電流特性が実現できたならばその回路の抵抗はほぼ $\infty$  [Ω] (無限大) となる。何故ならば、出力電圧の変化に対して常に一定の電流を供給することができれば、その時の出力抵抗の抵抗値Rは

$$R = \Delta V / \Delta I = \Delta V [V] / 0 [A]$$

となる。定電流源CC1 に関しては、実際の回路構成にもよるが、その出力抵抗はかなりの高抵抗値であるであると考えられる。この理由は、定電流源CC1 の出力抵抗の値が上記とは逆に低い場合には、出力の電流変化も大きいと考えられるので、定電流源としての用途には適していないと考えられるからである。

【0030】 すると、回路全体の出力インピーダンスに関する回路を考えてみると、定電流源CC1 の抵抗はほぼ $\infty$  [Ω] (無限大)、つまり、開放状態として考えることもできるわけであり、残りはSW1 とZI1 の直列抵抗値となる。ここで、所望の出力インピーダンスを得たいバイアス範囲 (通常は、信号の動作電圧等) で、上記2つの直列抵抗値が所望の数値を得られるように設定すればよい。

【0031】 また、抵抗回路ZI1 の両端を同電位に設定することによって、通常の動作時に定電流源CC1 から抵抗回路ZI1 へのリーク電流が発生することはない。これら一連の動作については、SW2、CC2 およびZI2 の関係についても適用することが可能である。

【0032】 このように、図1に示した出力回路は、所望の出力特性を実現するための定電流源部 (CC1、CC2) およびスイッチ回路部 (SW1、SW2) と、所望の出力インピーダンス特性を実現するための抵抗回路部 (ZI1、ZI2) および参照用基準電源 (Vr1、Vr2) とで構成されている。

【0033】 これにより、出力回路の出力電圧および出力電流に所望の特性値を持たせながら、且つ、出力インピーダンスについても所望の特性値を持たせることが可能になる。結果として、出力端子に接続される伝送媒体 (ケーブル等) とのインピーダンス整合が可能になり、伝送信号における反射等のノイズを低減させることができ、より質の高い歪みの少ない伝送信号波形を得ることが可能となる。

【0034】 また、図8に示した従来のインピーダンス整合を目的とした出力回路と比較し、所望の出力インピーダンス特性を担う抵抗回路部 (ZI1、ZI2) への不要なリーク電流が発生しない分、消費電力の低減を図るこ

とが可能となる。つまり、図1に示した出力回路は、高速な信号の伝送を実現すると共に、信号特性を満足するための出力電流のみでインピーダンス整合を実現することが可能になる。

【0035】 なお、参照用電源Vr1、Vr2については、特定の電圧値に限定されるものではなくて、所望する仕様や回路構成によって変わってくるものであることは容易に推測できる。これらにより、所望する出力電圧特性や電流特性と出力インピーダンス特性を効率よく両立することが可能になる。

【0036】 <出力回路の第1実施例>図2は、図1の出力回路の具体例の第1実施例を示している。

【0037】 この出力回路は、図1の出力回路におけるスイッチ回路SW1 としてPMOS FET21、スイッチ回路SW2 としてNMOS FET22、抵抗回路ZI1 として抵抗素子ZI1a、抵抗回路ZI2 として抵抗素子ZI2aが用いられたものであり、その他は図1中と同じであるので同一符号を付している。

【0038】 スwitch回路SW1 用のPMOS FET21のゲートおよびスイッチ回路SW2 用のNMOS FET22のゲートは、それぞれ入力するデータ信号によってバイアスされる。この場合、PMOS FET21およびNMOS FET22は、所望の出力特性が得られるバイアス点での定電流特性が確保できるように、駆動能力 (サイズ) が設定されるとともにゲートバイアス信号が与えられることが必要である。

【0039】 なお、図1中のスイッチ回路SW1、SW2 は、上記PMOS FET21、NMOS FET22の組み合わせに限定されるものでなく、所望の回路特性に合わせてMOS FET の組み合わせを選択すればよい。

【0040】 また、抵抗回路ZI1 および抵抗回路ZI2 は、それぞれ抵抗特性を有するデバイスであれば特に制限はなく、多結晶シリコン、ウエル、各種拡散層を適用してもよい。

【0041】 なお、参照用基準電圧Vr1、Vr2は、対応して出力回路内のノードa、bに合致した電位を出力すればよく、その構成は特に限定されるものではない。

【0042】 なお、図2の出力回路の動作は、図1を参照して前述した出力回路の動作と基本的に同様であるので、その詳細な説明を省略する。

【0043】 <出力回路の第2実施例>図3は、図1の出力回路の具体例の第2実施例を示している。

【0044】 この出力回路は、図2の出力回路における抵抗素子ZI1a、ZI2aにそれぞれ代えてNMOS FET31、32が用いられたものであり、その他は図2中と同じであるので同一符号を付している。

【0045】 上記NMOS FET31、32のゲートバイアスとして、本例では、それぞれの出力インピーダンスが所望の値となるような固定の電位を与えている。この場合、NMOS FET31、32のゲートを電源電位VDD ノードに接続してゲートバイアスを固定化し、これらのNMOS FET31、32の

10

20

30

40

50

大きさ (L/W) で抵抗特性を最適化することが可能である。なお、NMOS FETに代えてPMOS FETを用いる場合には、そのゲートを接地電位GND ノードに接続してゲートバイアスを固定化してもよい。

【0046】なお、図3の出力回路の動作は、図1を参照して前述した出力回路の動作と基本的に同様であるので、その詳細な説明を省略する。

【0047】＜出力回路の第3実施例＞図4は、図1の出力回路の具体例の第3実施例を示している。

【0048】この出力回路は、図3の出力回路と比べて、次の点(1)～(3)が異なり、その他は図1中と同じであるので同一符号を付している。

【0049】(1)スイッチ回路部が差動信号を入出力するように構成されている。

【0050】(2)定電流源CC1としてPMOS FET41、定電流源CC2としてNMOS FET42が用いられている。

【0051】(3)破線で囲んだ定電流源部およびスイッチ回路部のブロックをオリジナル回路部Aとし、その構成を忠実に再現したレプリカ回路部Bが設けられており、このレプリカ回路部Bから出力する第1の参照用基準電圧Vr1が演算増幅器を用いた第1のボルテージフォロア回路43を介して抵抗素子ZI1aの他端に供給されており、レプリカ回路部Bから出力する第2の参照用基準電圧Vr2が演算増幅器を用いた第2のボルテージフォロア回路44を介して抵抗素子ZI2aの他端に供給されている。

【0052】前記オリジナル回路部Aのスイッチ回路部は、互いのソース同士が接続されて差動対をなし、各ゲートに第1の差動信号が入力するPMOSトランジスタM6、M7と、このPMOSトランジスタM6、M7とはそれぞれのドレイン相互が接続され、互いのソース同士が接続されて差動対をなし、各ゲートに第1の差動信号が入力するNMOSトランジスタM8、M9と、前記PMOSトランジスタM6およびNMOSトランジスタM8のドレイン相互接続ノードと前記PMOSトランジスタM7およびNMOSトランジスタM9のドレイン相互接続ノードとの間に接続された抵抗素子R1を有する。

【0053】前記レプリカ回路部Bは、VDD ノードとGND ノードとの間に、オリジナル回路部Aの定電流源CC1用PMOS FET41に相当するPMOSトランジスタM11と、オリジナル回路部Aの第1のスイッチ回路部に相当するPMOSトランジスタM12と、オリジナル回路部Aの抵抗素子R1(例えば100Ω)に相当する抵抗素子R1a(例えば100Ω)と、オリジナル回路部Aの第2のスイッチ回路部に相当するNMOSトランジスタM13と、オリジナル回路部Aの定電流源CC2用PMOS FET42に相当するNMOSトランジスタM14が直列に接続されてなる。

【0054】図4の出力回路において、抵抗素子ZI1aの一端の電位はオリジナル回路部A内のノードgの電位であり、他端の電位は第1のボルテージフォロア回路43の出力ノードg'の電位である。このノードg'の電位は、レ

プリカ回路部B内のVr1出力ノードg'の電位を参照して第1のボルテージフォロア回路43が生成したものであり、Vr1出力ノードg'の電位と同じである。つまり、ノードg'の電位は、Vr1出力ノードg'の電位と同じになるように制御が行われる。結果的には、ノードgの電位＝ノードg'の電位の関係が成立し、通常の動作状態で第1のスイッチ回路部がオン状態においては、抵抗素子ZI1aの両端ノードg、g'間に電位差は生じないので、抵抗素子ZI1aにはリーク電流が流れない。

【0055】上記と同様に、通常の動作状態で第2のスイッチ回路部がオン状態においては、抵抗素子ZI2aの両端ノードh、h'間に電位差は生じないので、抵抗素子ZI2aにはリーク電流が流れない。

【0056】また、本例では、オリジナル回路部Aとレプリカ回路部Bにそれぞれ流れる電流が同じ値になるよう設定しているが、各回路部A、B内の電流、抵抗、MOS FETの大きさを最適化することにより、各回路部A、Bに流れる電流比率を1:1以外に変更して適用することも可能である。

【0057】なお、図4の出力回路の動作は、図1を参照して前述した出力回路の動作と基本的に同様であるので、その詳細な説明を省略する。

【0058】＜出力回路の第4実施例＞図5は、図1の出力回路の具体例の第4実施例を示している。

【0059】この出力回路は、図4の出力回路における抵抗素子ZI1a、ZI2aにそれぞれ代えてNMOS FET31、32が用いられたものであり、その他は図4中と同じであるので同一符号を付している。

【0060】上記NMOS FET31、32のゲートバイアスとして、それぞれの出力インピーダンスが所望の値となるような固定の電位(本例ではVDD)を与え、これらのMOS FETの大きさ(L/W)で抵抗特性を最適化することが可能である。この場合、NMOS FETに代えてPMOS FETを用い、そのゲートにGNDを与えるようにしてもよい。

【0061】なお、図5の出力回路の動作は、図1を参照して前述した出力回路の動作と基本的に同様であるので、その詳細な説明を省略する。

【0062】＜出力回路の第5実施例＞図3中あるいは図5中の抵抗素子用のNMOS FET31、32のゲートバイアスとして、出力端子の状態(電圧/電流)に応じて出力インピーダンス特性を常に最適化するようにアクティブに可変制御するためのゲートバイアス制御信号を与えるようにしてもよく、その一例を以下に説明する。

【0063】図6は、図3中あるいは図5中の抵抗素子用のNMOS FET31、32のゲートに与えるゲートバイアス制御信号を生成する回路の一例として、代表的にNMOS FET31のゲートに与えるゲートバイアス制御信号を生成する回路を示す。

【0064】この回路において、VDD ノードとGND ノードとの間に電流源61およびドレイン・ゲート相互が接続

されたNMOS FET62が直列に接続されている。また、Vref1ノードとGNDノードとの間に参照用抵抗素子R1およびNMOS FET63が直列に接続されている。さらに、Vref2ノードとGNDノードとの間に2個のNMOS FET64、65が直列に接続されている。ここで、前記NMOS FET62、63、65は、ゲート同士が接続され、カレントミラー回路を構成している。

【0065】そして、参照用抵抗素子R1およびNMOS FET63の直列接続ノードの電位Vaおよび2個のNMOS FET64、65の直列接続ノードの電位Vbは演算増幅回路66の一对の入力となり、この演算増幅回路66の出力ノードはNMOS FET64のゲートに接続される。

【0066】上記回路において、NMOS FET62、63、65はカレントミラー回路を構成しているので、NMOS FET62に流れる電流I1、NMOS FET63に流れる電流I1'、NMOS FET65に流れる電流I1"は等しい( $I1 = I1' = I1''$ )。Vref1ノードの電位Vref1とVref2ノードの電位Vref2とは、それぞれ図3中のVr1に等しいものとする( $Vref1 = Vref2 = Vr1$ )。

【0067】演算増幅回路66は、NMOS FET64のゲート電位を制御し、 $Va = Vb$ となるように制御する。これにより、参照用抵抗素子R1とNMOS FET64の抵抗値は等しくなる。したがって、NMOS FET64のゲート電位を図3中あるいは図5中のNMOS FET31のゲートバイアス制御信号として取り出すことにより、抵抗素子Z11a用のNMOS FET31の抵抗値を参照用抵抗素子R1およびNMOS FET64の抵抗値と等しい値に制御することが可能になる。

【0068】

【発明の効果】上述したように本発明の半導体集積回路によれば、出力端子に接続される伝送媒体とのインピー

ダンス整合が可能になり、伝送信号における反射等のノイズを低減させることができ、より質の高い歪みの少ない伝送信号波形を得ることができる。

【図面の簡単な説明】

【図1】本発明の半導体集積回路の第1の実施の形態に係る出力回路を示す回路図。

【図2】図1の出力回路の具体例の第1実施例を示す回路図。

【図3】図1の出力回路の具体例の第2実施例を示す回路図。

【図4】図1の出力回路の具体例の第3実施例を示す回路図。

【図5】図1の出力回路の具体例の第4実施例を示す回路図。

【図6】図3中あるいは図5中の抵抗素子用のNMOS FETのゲートに与えるゲートバイアス制御信号を生成する回路の一例を示す回路図。

【図7】半導体集積回路における従来の出力回路の一例を示す回路図。

【図8】半導体集積回路における従来の出力回路の他の例を示す回路図。

【符号の説明】

CC1 …第1の定電流源、

CC2 …第2の定電流源、

SW1 …第1のスイッチ回路、

SW2 …第2のスイッチ回路、

Vr1…参照用基準電源(第1のバイアス供給回路)、

Vr2…参照用基準電源(第2のバイアス供給回路)、

ZI1 …第1の抵抗回路、

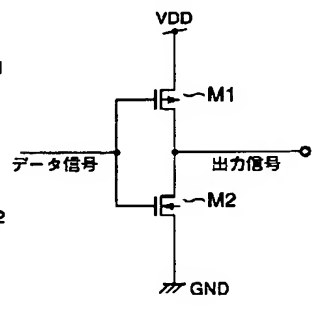
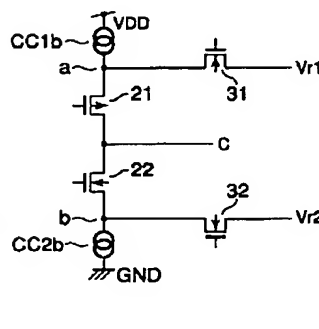
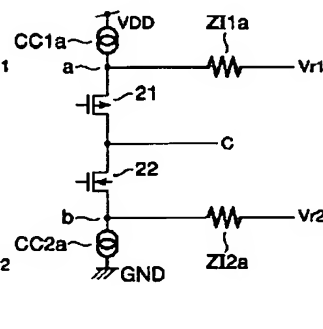
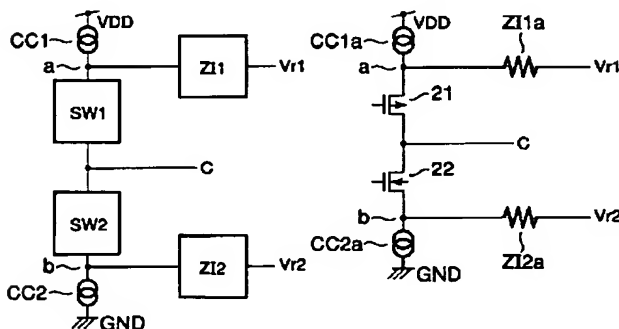
ZI2 …第2の抵抗回路。

【図1】

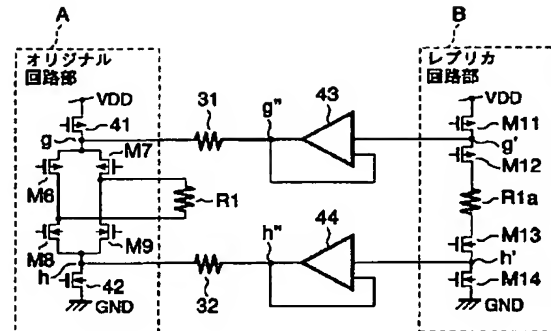
【図2】

【図3】

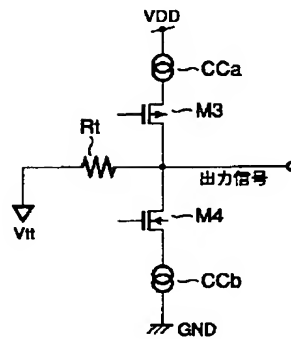
【図7】



【図 5】



【圖 8】



F ターム (参考)	5F038	AR01	AR09	AV06	AV13	AV18
		CD08	DF01	EZ20		
	5J056	AA04	AA40	BB24	CC01	DD29
		EE11	GG09			
	5K029	AA02	CC01	DD03	GG07	JJ08